

1. 概要

書籍等で公表されたオペアンプ回路をPX1010を用いて製作する場合の部品実装設計例を示します。

本書はPX1010の使用方法を示す為のものであり、製作・動作確認はしていません。

また、本書の回路は参考文献発表時点のものであり、発表後日の訂正有無は確認していません。

回路の詳細については参考文献を参照して下さい。

回路	上下限リミット回路
回路提供	飯田 文夫
参考文献	トランジスタ技術 2010年3月号 別冊付録 「すぐに使える！OPアンプ回路デザイン・ブック」 松井邦彦 監修 CQ出版社 2-4節 図2-7 23頁
追加配線数	無し
実装設計のポイント	オペアンプ素子アサイン順番。

2. 回路図

参考文献のオリジナル回路をPX1010に実装する為の部品実装設計を反映したPX1010のデバイス番号に依る回路図を2頁に示します。

回路図中の部品はメーカー廃品種になっている場合があります。その場合は適宜代替品に読み替えて下さい。

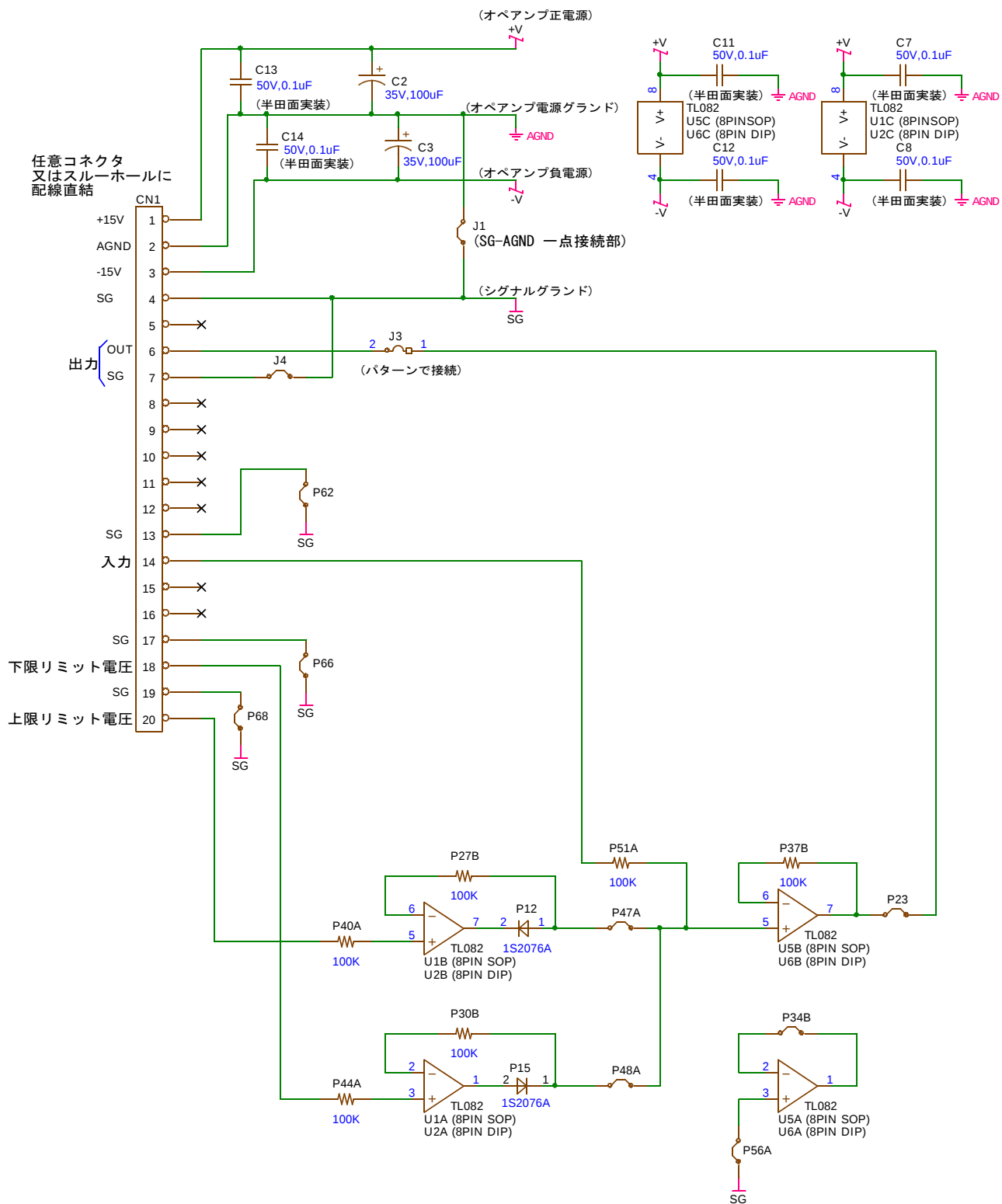
オリジナルの回路は参考文献を参照して下さい。

3. 部品実装図

テンプレートを用いた部品実装設計を反映した部品実装図を3頁、4頁に示します。

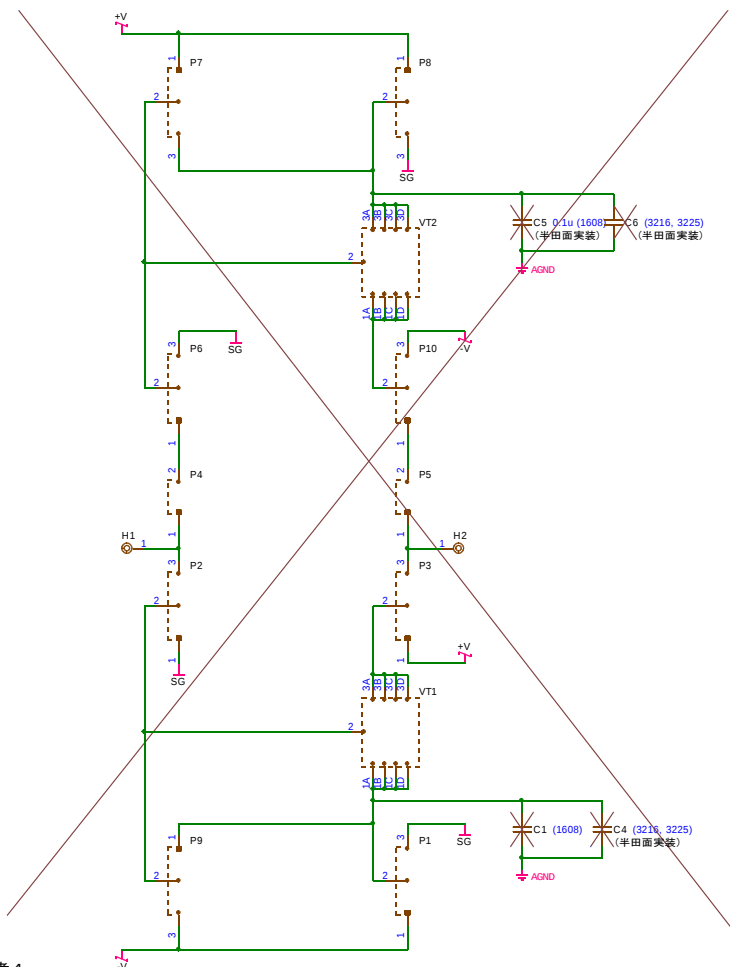
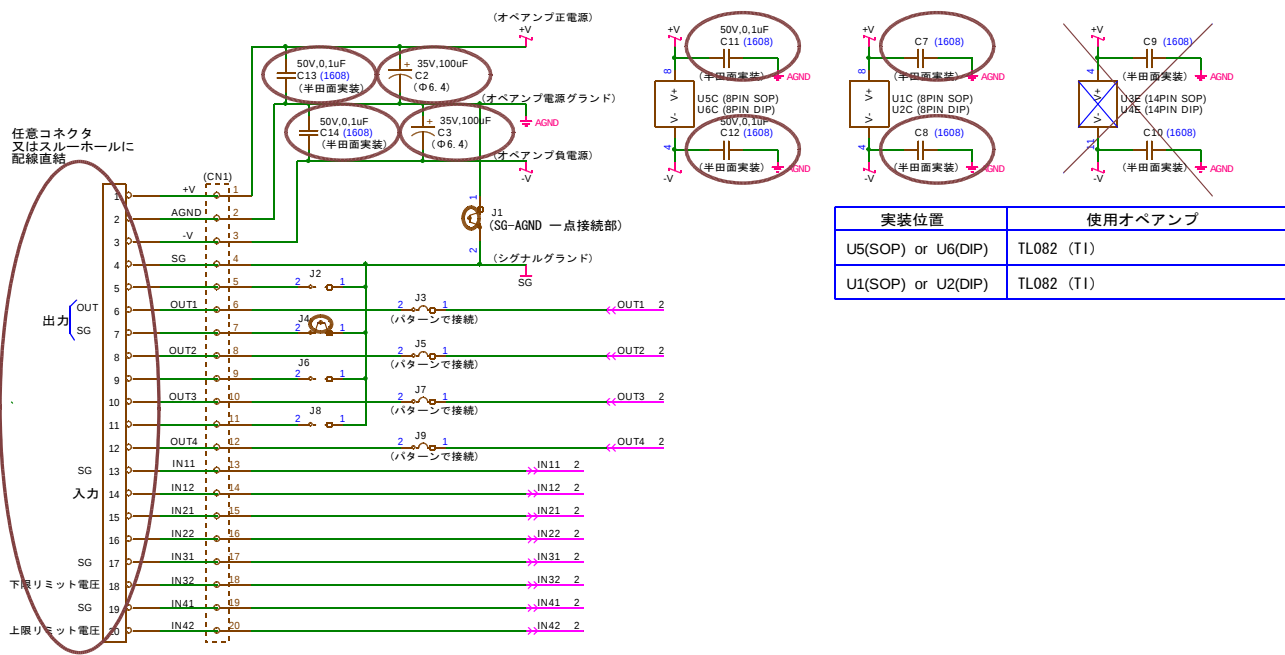
形状が大きく指定デバイス番号部に部品が実装できない場合は、一旦ユニバーサルエリアに実装し、追加配線で該当デバイス番号部に接続して下さい。

● 回路図



Model Name	
Title 上下限リミット回路 回路図	
Document Number	Page 1 / 1

●部品実装図 (1 / 2)



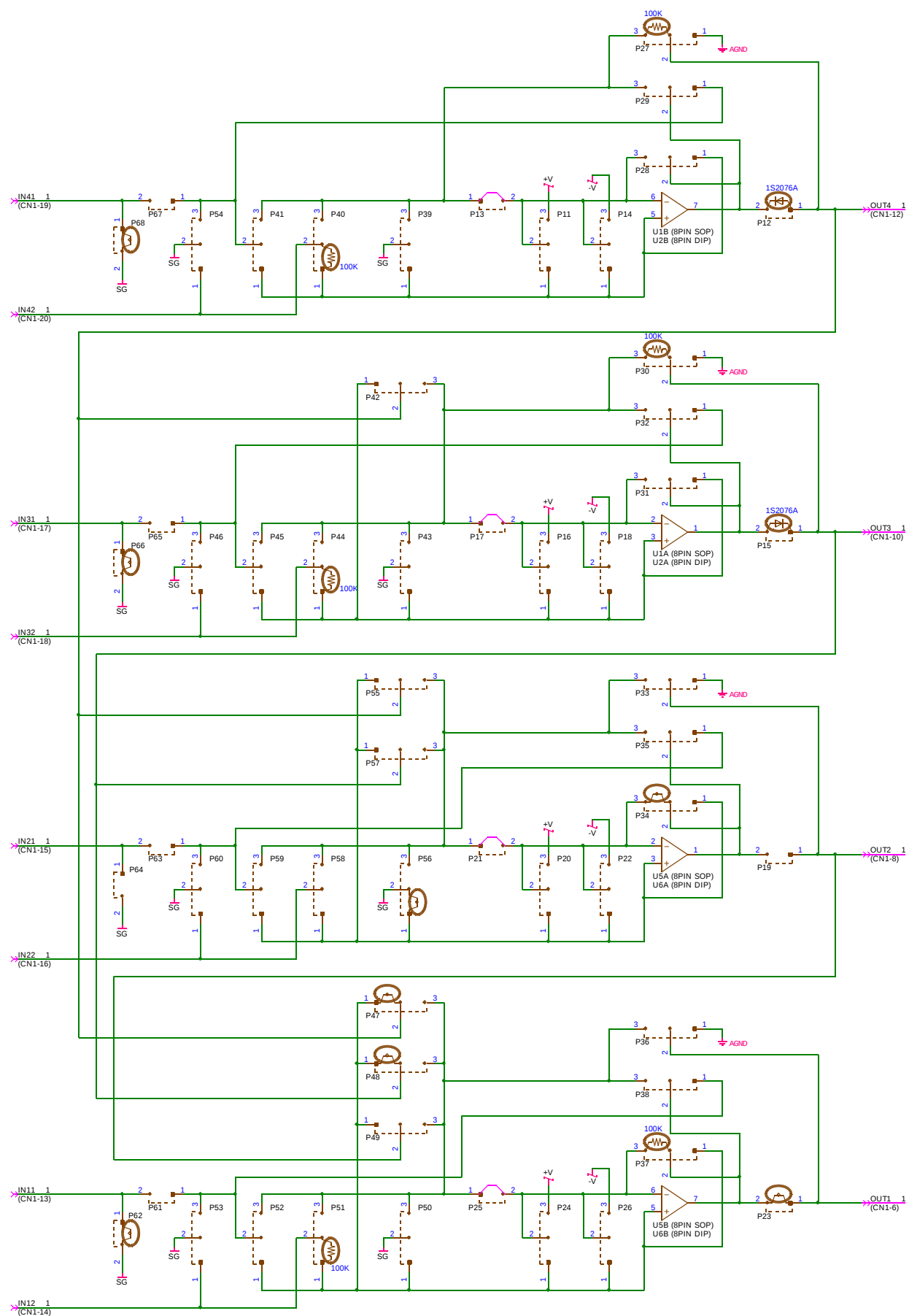
- 備考 1
○ は部品実装を示す。
- 備考 2
— は追加配線を示す。
- 備考 3
②
パターンで接続
- VT1, VT2 TOP VIEW
- 各スルーホール間ピッチは全て 2.54mm

- 備考 4
-
- Pin 1 is connected to PnA, Pin 2 to PnB, and Pin 3 to PnC. A red arrow points to Pin 3 with the label 'V'.
- デバイス番号呼称について
- | | |
|----------------------|---------------|
| Pn の1-2ピン間に実装したデバイスを | PnA |
| Pn の2-3ピン間に実装したデバイスを | PnB |
| Pn の1-3ピン間に実装したデバイスを | PnC (チップ部品不可) |
- と呼ぶものとする。

PX1010 (ProXi)
8ピン デュアルオペアンプ×2個用
部品実装設計テンプレート

Model Name	
Title 上下限リミット回路 部品実装図	
Document Number	Page 1 / 2

● 部品実装図 (2 / 2)



PX1010 (ProX)
8ピン デュアルオペアンプ×2個用
部品実装設計テンプレート

Model Name	
Title 上下限リミット回路 部品実装図	
Document Number	Page 2 / 2