

D I P / S O P、2デュアル/1クワッド オペアンプ基板

P X 1 0 1 0 ユーザーズマニュアル

P r o X i
有限会社 プロエクシィ

【重要】安全上のご注意

●医療機器、宇宙、航空、原子力、交通、等々の様に人命、人体の安全、社会の安全、及び人々の財産の安全等に関わり、高い信頼性を必要とする回路には使用しないで下さい。

●当社は本製品を運用した結果についての責任を負わないものとします。

目 次

はじめに	3
1. 主な用途	3
2. 特長	3
3. 用語について	3
第1章 PX1010の概要	4
1-1 主な仕様	4
1-2 外形寸法	4
1-3 外觀	5
1-4 回路図	5
1-5 回路部品用パターン説明	10
第2章 PX1010の使用方法	16
2-1 部品実装設計テンプレート	16
2-2 PX1010による回路製作手順	16
2-3 回路製作の具体例	21
(1) 回路設計	21
(2) 部品実装設計	21
(3) バックアノテート	23
2-4 PX1010使用例	23
第3章 その他	24
3-1 安全上のご注意	24
3-2 責任範囲について	24
3-3 製品サポートについて	24
3-4 訂正履歴	24
3-5 お問い合わせ先	24

はじめに

オペアンプ基板「P X 1 0 1 0」は、8ピンデュアルオペアンプ2個、又は14ピンクワッドオペアンプ1個を実装可能で、適切な位置に回路部品を実装するだけで基本的オペアンプ回路の多くを、ジグソーパズル感覚で簡単に製作出来る様にしましたものです。

対応するオペアンプのパッケージはピン間2.54mmピッチのDIP、又はピン間1.27mmピッチのSOPです。

その他の回路部品にはアキシャル部品、ラジアル部品以外に1608チップ部品が使用できます。

1. 主な用途

- (1) オペアンプ応用回路の製作、試作
- (2) オペアンプの学習実験
- (3) 既設基板へのオペアンプ追加

2. 特長

- (1) 多種類のオペアンプ回路を短時間で正確に製作できます。
蛇の目基板と比較して製作工数1／3（当社実績）。
- (2) DIP又はSOPパッケージの8ピンデュアル、14ピンクワッドのオペアンプに対応しています。
- (3) 1608チップ部品に対応しています。
- (4) トランジスタ回路、可変抵抗回路も容易に実装できます。
- (5) 一度製作したオペアンプ回路の再利用（使い回し）が可能になります。

3. 用語について

（1）仮想パーツ

P X 1 0 1 0の回路図上のデバイス番号P 1～P 6 8には抵抗、コンデンサ、ダイオード等を実装できるので本書では総称として「仮想パーツ」と呼びます。

2ピンと3ピンの仮想パーツがあります。

（2）ジャンパ、短絡用ジャンパ線

ジャンパJ 1～J 9や仮想パーツP 1～P 6 8の端子間を線材で短絡接続することを「ジャンパ」、その配線材を「ジャンパ線」と呼びます。

（3）追加配線

所定の回路を構成するのに、ジャンパ線では接続できない位置関係にある2つのスルーホール間を電線で接続することを「追加配線」と呼びます。

組み立て工数、チェック工数、見栄え、回路信頼性の点で、可能な限り追加配線を減らす様に工夫する事が大事です。

（4）パスコン

電源に重畳する高周波ノイズを低減させる為に電源とグランド間に入れるコンデンサは一般的にはパスコン、バイパスコンデンサ、デカップリングコンデンサ等と呼ばれますが、本書ではパスコンと呼びます。

（5）シグナルグランド（SG）とアナログ電源グランド（AGND）

信号の基準電位であるシグナルグランドをSGと呼び、アナログ電源の基準電位であるアナログ電源グランドをAGNDと呼び、基板上では配線パターンを区別しています。

回路を動作させる場合にはSGとAGNDは基板上のジャンパJ 1で接続するか、基板外部のアナログ電源部で一点接続する必要があります。

第1章 PX1010の概要

1-1 主な仕様

項 目	内 容
外形寸法	77.2[mm] × 51.72[mm]、板厚 1.6[mm]
基板仕様	ガラスエポキシ、銅厚35[μm]、両面パターン、スルーホールφ0.9mm、部品面シルク、両面半田レジスト塗布
対象オペアンプ	8ピンDIP、又は8ピンSOPのデュアルオペアンプ、最大2個 又は、14ピンDIP又は14ピンSOPのクワッドオペアンプ1個
対象回路	反転増幅器、非反転増幅器、差動増幅器、電流増幅器、積分器、微分器、アクティブフィルタ、コンパレータ、理想ダイオード回路、関数発生器、絶対値回路、ピークホールド回路等、多種類に渡る基本的オペアンプ応用回路
パターン間最大電圧	DC 40V（清浄な環境において）
パターン電流容量	±電源パターン 最大1A 信号パターン 最大0.3A
制限事項	本基板は回路の汎用性を主目的にしているので、下記の用途では目標の性能が出ない可能性があります。 ・配線パターンを分布定数回路として扱う高速回路 ・配線パターン間にガードリングやシールドを必要とする様な微小信号回路

表 1-1 主な仕様

1-2 外形寸法

単位 [mm]

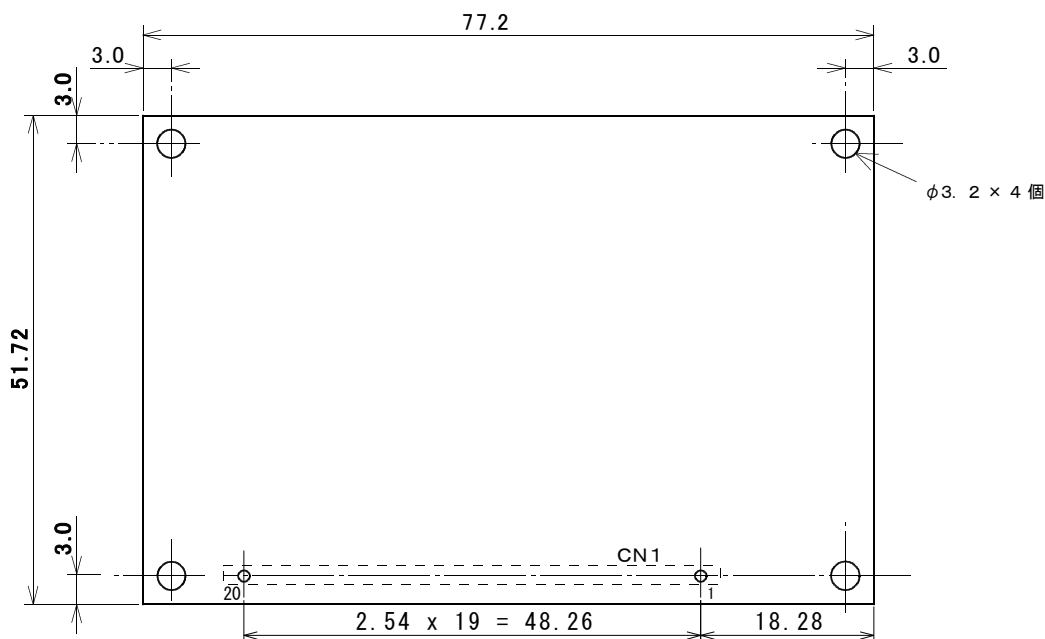
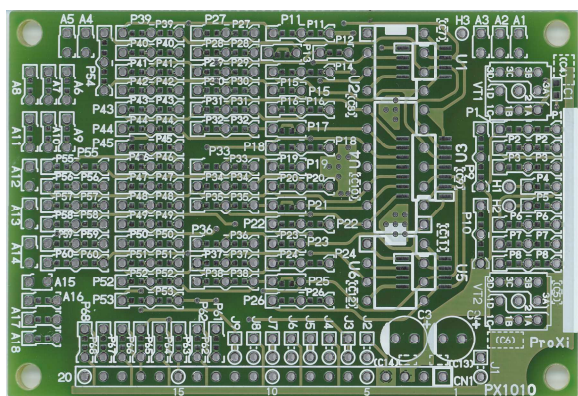
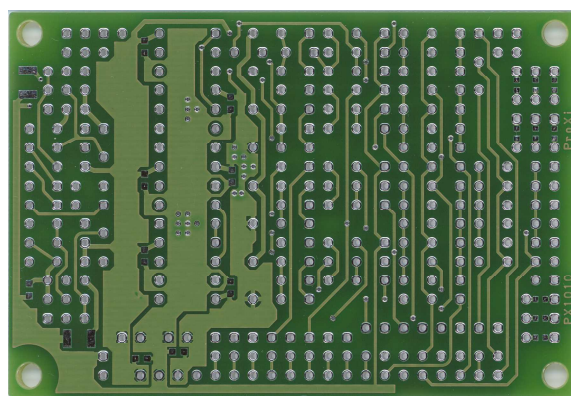


図 1-1 PX1010 外形寸法

1-3 外観



(a) 部品面



(b) 半田面

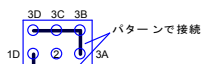
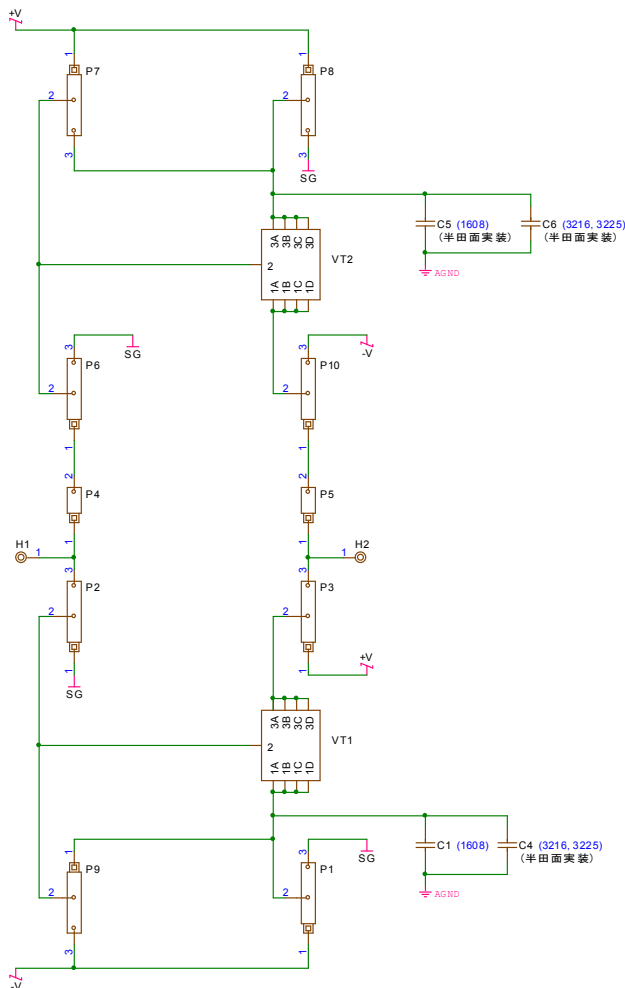
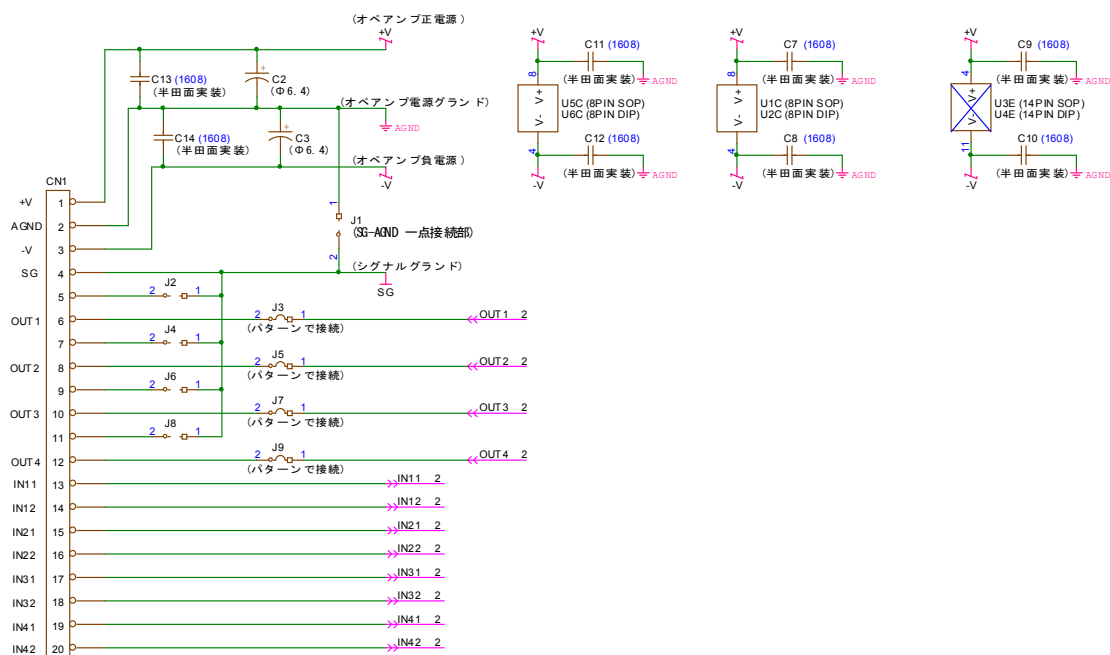
図1-2 PX1010の外観写真

1-4 回路図

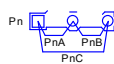
6 頁、7 頁に 8 ピン 2 デュアルオペアンプ用 PX1010 回路図を、8 頁、9 頁に 14 ピン 1 クワッドオペアンプ用回路図を示します。

上記 2 つの回路図はオペアンプの端子番号表示をそれぞれ 8 ピン、14 ピンのパッケージに合わせたものであり、その他の部分は全く同一です。

(1) 8ピン2デュアルオペアンプ用PX1010回路図 (1/2)



VT1, VT2 TOP VIEW
各スルーホール間ピッチは全て2.54mm

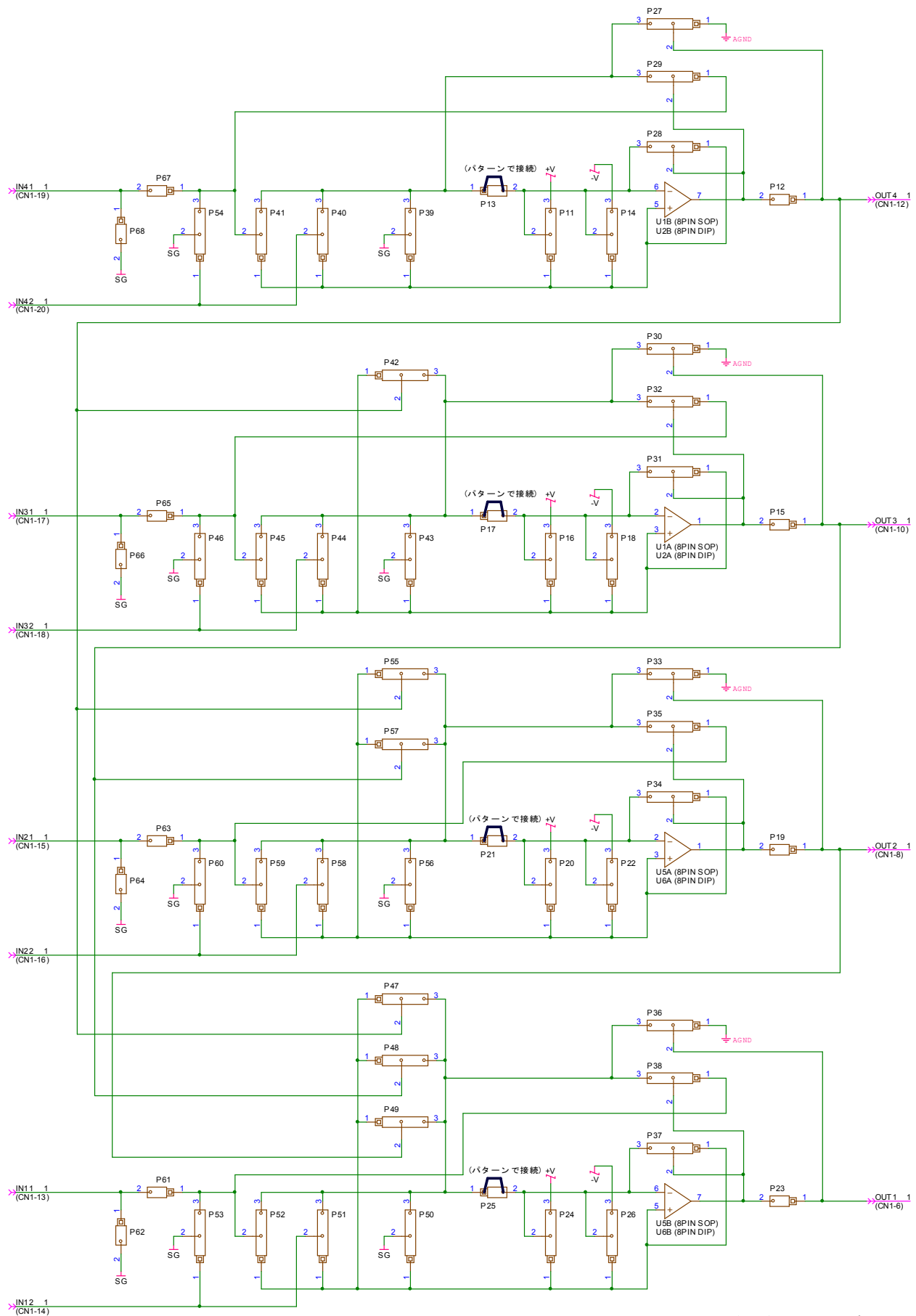


デバイス番号呼称について
Pnの1-2ピン間に実装したデバイスを PnA
Pnの2-3ピン間に実装したデバイスを PnB
Pnの1-3ピン間に実装したデバイスを PnC(チップ部品不可)
と呼ぶものとする。

8ピン デュアルオペアンプ×2個用回路図

Model Name	UNIVERSAL OPAMP BOARD PX1010 (ProXi)
Title	CONNECTOR & VR/TR
Document Number	P3100101
Page	1 / 2

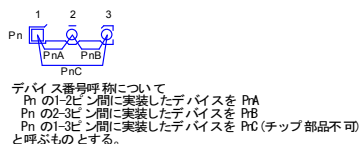
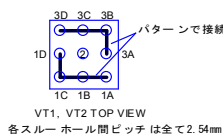
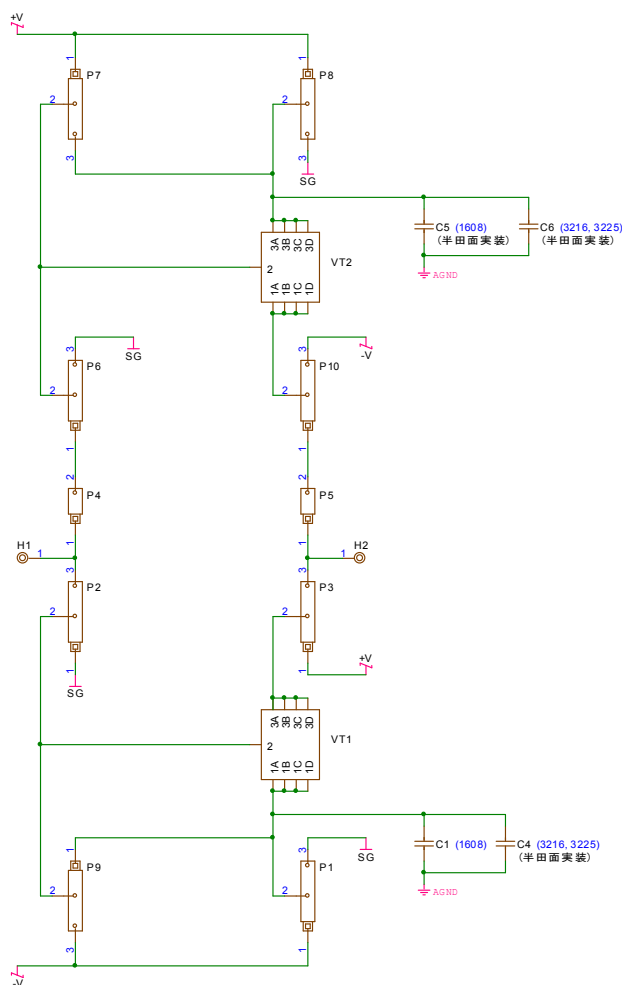
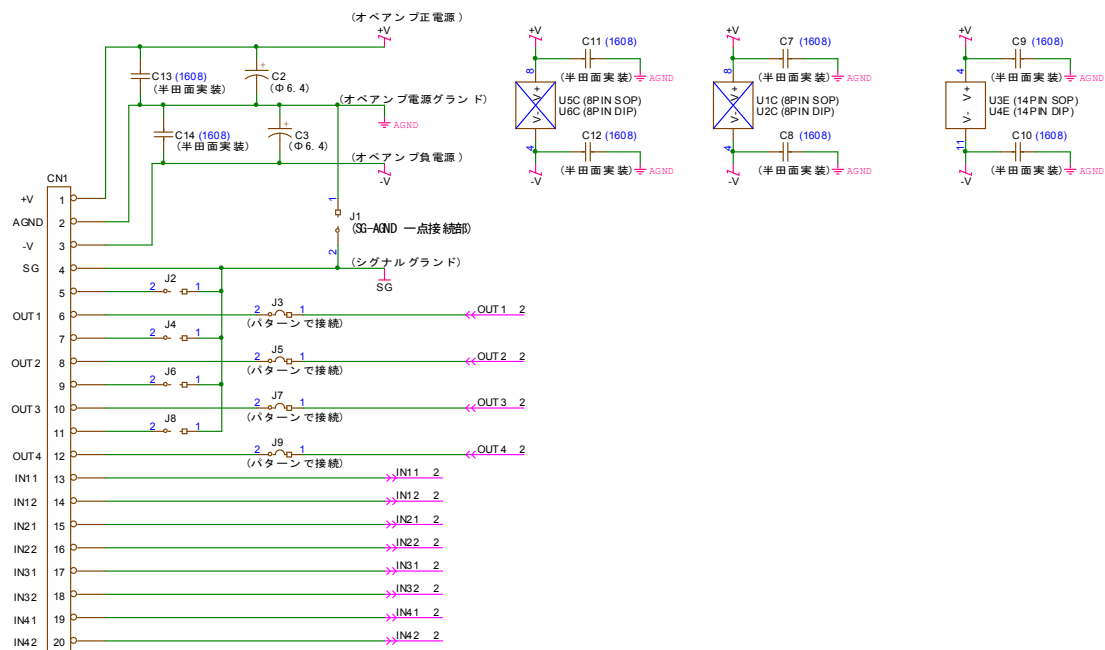
8ピン2デュアルオペアンプ用PX1010回路図 (2/2)



8ピン デュアルオペアンプ×2個用回路図

Model Name	UNIVERSAL OPAMP BOARD PX1010 (ProXi)	
Title	8PIN DUAL OPAMP x 2	
Document Number	P3100101	Page 2 / 2

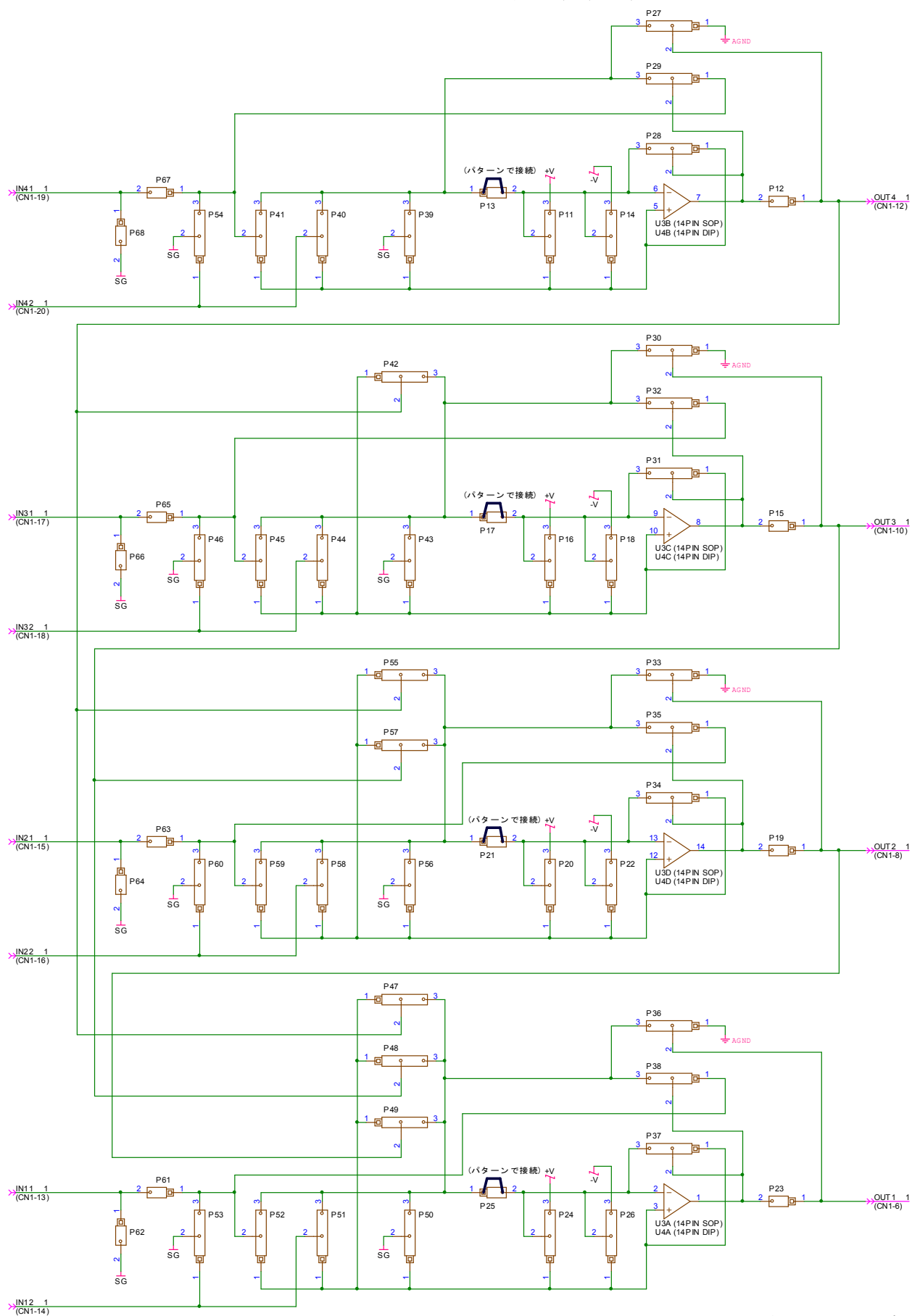
(2) 14ピン1クワッドオペアンプ用PX1010回路図 (1/2)



14ピン クワッドオペアンプ用回路図

Model Name	UNIVERSAL OPAMP BOARD PX1010 (ProXi)
Title	CONNECTOR & VR/TR
Document Number	P3100102
Page	1 / 2

14ピン1クワッドオペアンプ用PX1010回路図(2/2)



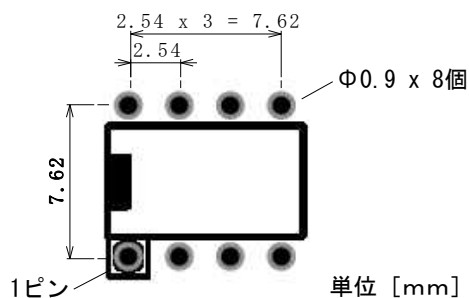
14ピン クワッドオペアンプ用回路図

Model Name	UNIVERSAL OPAMP BOARD PX1010 (ProXi)
Title	14PIN QUAD OPAMP
Document Number	P3100102
Page	2 / 2

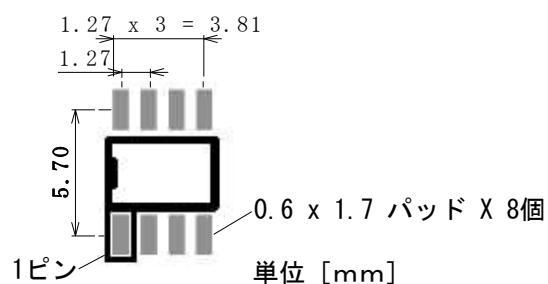
1 - 5 回路部品用パターン説明

本節では主な回路部品用パターン（フットプリント）を説明します。

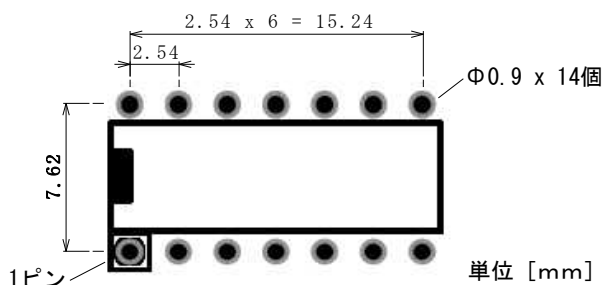
(1) オペアンプ（U 1 ～U 6）と対応パスコン（C 7 ～C 1 2）



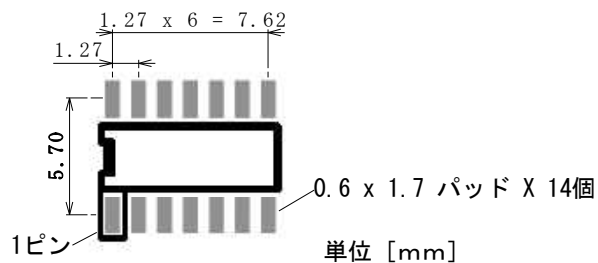
8ピンDIP デュアルオペアンプ（U 2、U 6）



8ピンSOP デュアルオペアンプ（U 1、U 5）



14ピンDIP クワッドオペアンプ（U 4）



14ピンSOP クワッドオペアンプ（U 3）

図 1 - 3 オペアンプフットプリント

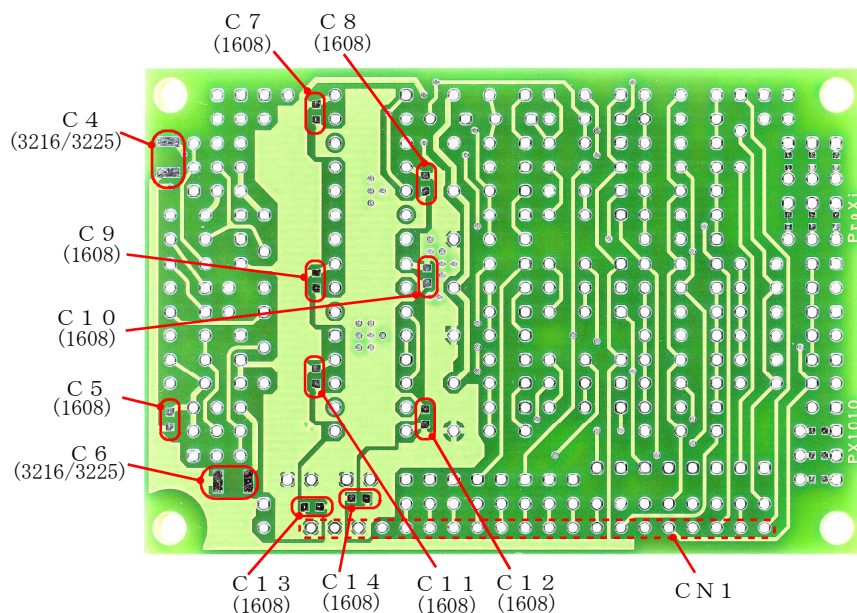


図 1 - 4 半田面パスコン位置

半田面にはシルク表示がありません。図 1 - 4 に半田面のパスコン位置を示します。

実装可能なオペアンプの組み合わせは表 1 - 2 の実装形態 1 ～ 6 の何れかです。

オペアンプにより実装方向が異なりますので注意して下さい。

又、各オペアンプ毎の電源用パコンは C 7 ～ C 1 2 は全て半田面実装で 1 6 0 8 チップコンデンサ用パターンであり、ラジアル形状のコンデンサ用のパターンは用意していません。

デバイス番号	U5	U6	U1	U2	U3	U4
オペアンプ種類	8ピンSOP デュアル	8ピンDIP デュアル	8ピンSOP デュアル	8ピンDIP デュアル	14ピンSOP クワッド	14ピンDIP クワッド
対応パコン (半田面実装)	C11, C12		C7, C8		C9, C10	
実装形態1	○	×	○	×	×	×
実装形態2	○	×	×	○	×	×
実装形態3	×	○	○	×	×	×
実装形態4	×	○	×	○	×	×
実装形態5	×	×	×	×	○	×
実装形態6	×	×	×	×	×	○

○：実装可能 ×：実装禁止

表 1 - 2 オペアンプ実装形態

不使用素子には必ずオペアンプに指定された方法での不使用端子処理を行なって下さい。

オペアンプ 4 素子の相互接続関係は図 1 - 5 の様になっています。同図の OP AMP 1 ～ OP AMP 4 は説明の為に付けた番号です。

これから本ボードを使用する際には以下の方針でオペアンプを回路に割り当てるのが良い事が判ります。

① 1 素子のみ使用時は OP AMP 1 を優先的に使用し、2 素子使用時は OP AMP 1 と、OP AMP 2 を使用する。以下必要に応じて OP AMP 3、OP AMP 4 を順次用いる。

② 複数素子をシリーズに接続して使用する場合は最終段を OP AMP 1 とし、以下前段に向かって順次 OP AMP 2、OP AMP 3、OP AMP 4 を割り当てる。

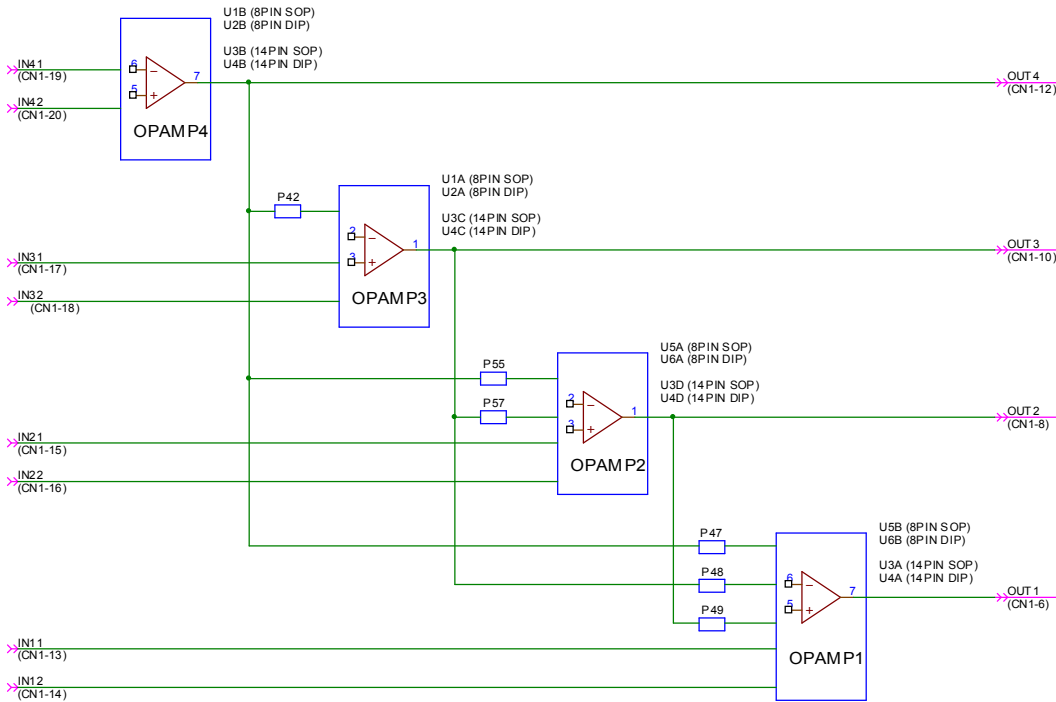


図 1 - 5 オペアンプ相互接続関係

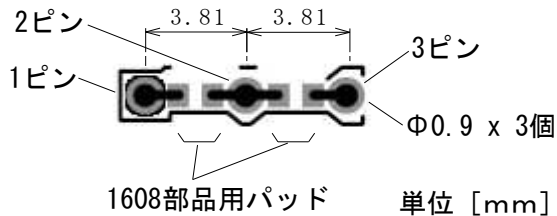
(2) 3ピン仮想パーツ (P 1、P 2 他)

3個のスルーホールと1608チップ部品2個分のパッドから成り、任意のアキシャル部品、ラジアル部品、チップ部品が実装できます。

これらの部品実装位置により回路接続を決定します。

0.25W金属皮膜抵抗器の様にアキシャル部品でスルーホールのピッチ3.81mmより大きい部品は縦実装して下さい。

1ピンをR付き角形ランド、その他のピンは円形ランドにしています。



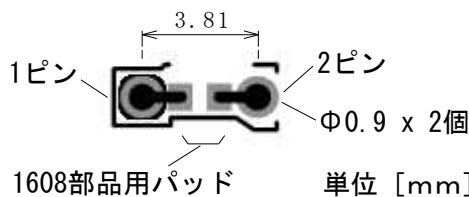
単位 [mm] 図1-6 3ピン仮想パーツフットプリント

(3) 2ピン仮想パーツ (P 4、P 5 他)

2個のスルーホールと1608チップ部品1個分のパッドから成り、任意のアキシャル部品、ラジアル部品、チップ部品が実装できます。

0.25W金属皮膜抵抗器の様にアキシャル部品でスルーホールのピッチ3.81mmより大きい部品は縦実装して下さい。

1ピンをR付き角形ランド、その他のピンは円形ランドにしています。

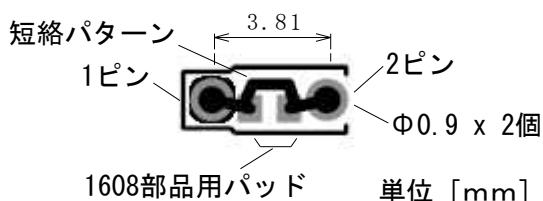


単位 [mm] 図1-7 2ピン仮想パーツ

(4) 短絡パターン付き2ピン仮想パーツ (P 13、P 17、P 21、P 25)

P 13、P 17、P 21、P 25は通常の用途以外にオペアンプの入力保護用抵抗実装を想定したものであり、1608チップ部品用パッドに於いてパターンで短絡しているため、部品実装時は短絡パターンをカットして下さい。

1ピンをR付き角形ランド、その他のピンは円形ランドにしています。



単位 [mm] 図1-8 短絡パターン付き2ピン仮想パーツ

(5) 可変抵抗、トランジスタ等用3ピン仮想パーツ (VT1、VT2)

3ピンの種々のピン配置の2.54mmピッチの可変抵抗や、TO-92の様な形状のトランジスタやFETが実装可能です。

1A～1D、3A～3Dはそれぞれパターンで接続しています。

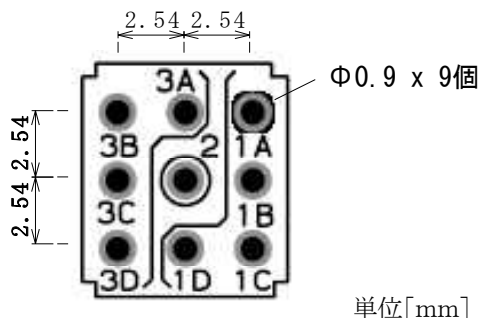


図1-9 可変抵抗、トランジスタ等用3ピン仮想パーツ

(6) 電解コンデンサ (C2、C3)

ピン間2.54mm、直径6mm以下のパスコン用アルミ電解コンデンサを実装できます。

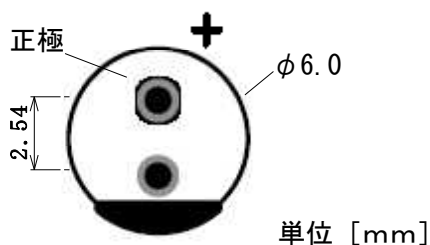


図1-10 電解コンデンサ

(7) チップコンデンサ (C1、C5)

1608チップコンデンサをVT1、VT2用のパスコンとして実装できます。

C5は半田面実装です。

(8) チップコンデンサ (C4、C6)

3216又は3225チップコンデンサをVT1、VT2用のパスコンとして実装できます。

C4、C6共に半田面実装です。

(9) 20ピン入出力コネクタ (CN1)

2.54mmピッチ最大20ピン1列の任意極数のコネクタを実装できます。

入出力配線を直接半田付けする事もできます。

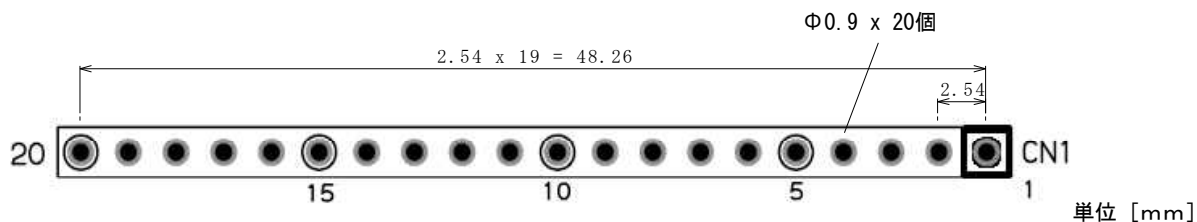
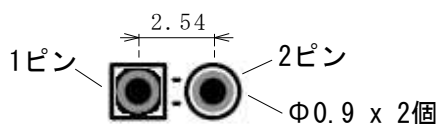


図1-11 20ピン入出力コネクタ

(10) ジャンパ

1ピンをR付き角形ランド、その他のピンは円形ランドにしています。



単位 [mm] 図1-12 ジャンパ

(a) SG-AGND接続ジャンパ (J1)

PX1010ボード上でSG (シグナルグランド) とAGND (アナログ電源グランド) を一点接続する場合にジャンパJ1を短絡します。**(重要!!)**

PX1010ボードと他の回路を組み合わせる場合は外部でSGとAGNDを一点接続し、PX1010上はジャンパJ1をオープンにしておきます。

何れにも対応可能とするにはJ1に2ピンヘッダコネクタを実装すると便利です。

(b) SG用ジャンパ (J2、J4、J6、J8)

コネクタCN1の5、7、9、11ピンにSGを接続する場合にジャンパを短絡します。

ジャンパをオープンのままにすればこれらのコネクタピンは任意の用途に使用できます。

(c) オペアンプ出力用ジャンパ (J3、J5、J7、J9)

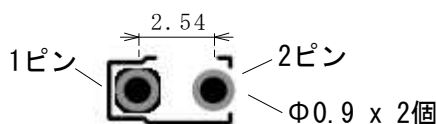
コネクタCN1の6、8、10、12ピンにオペアンプの出力を接続しています。

J3、J5、J7、J9はパターンで短絡しているので、これをカットすれば各コネクタピンは任意の用途に使用できます。

(11) ユニバーサルエリア (A1~A5、A15)

φ0.9mmのスルーホールであり、ユニバーサルエリアとして任意の用途に使用できます。

1ピンをR付き角形ランド、その他のピンは円形ランドにしています。

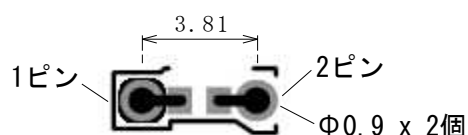


単位 [mm] 図1-13 ユニバーサルエリア

(12) 1608パッド付きユニバーサルエリア (A6~A11、A16~A18)

φ0.9mmのスルーホールであり、ユニバーサルエリアとして任意の用途に使用でき、部品面と半田面に1608チップ部品を実装する事もできます。

1ピンをR付き角形ランド、その他のピンは円形ランドにしています。



1608部品用パッド
(部品面、半田面並置)

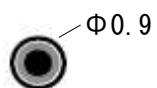
単位 [mm]

図1-14 1608パッド付きユニバーサルエリア

(1 3) スルーホール (H 1 ～ H 3)

H 1 、 H 2 はジャンパ線接続の為のスルーホールです。

H 3 は用途任意のスルーホールです。



単位 [mm] 図 1 - 1 5 スルーホール

第2章 PX1010の使用手法

2-1 部品実装設計テンプレート

17頁、18頁に8ピンデュアルオペアンプ用部品実装設計テンプレート、19頁、20頁に14ピンクワッドオペアンプ用部品実装設計テンプレートを示します。

上記2つのテンプレートはオペアンプの端子番号表示をそれぞれ8ピン、14ピンのパッケージに合わせたものであり、その他の部分は全く同一です。

部品実装設計時にこれらをプリントアウトして使用して下さい。

なお、（有）プロエクシィのホームページ（<http://www.proxi.co.jp>）からダウンロードする事もできます。

2-2 PX1010による回路製作手順

①回路図作成

目的とする回路図を作成します。

②部品実装設計

作成した回路図の部品を2-1の部品実装設計テンプレートに当て嵌めてPX1010上での部品実装設計をします。

もし、PX1010の回路がそのまま当て嵌まらない場合は、仮想パーツP1～P68またはその他の部品用スルーホールを利用して、ジャンパ線や追加配線で接続して下さい。

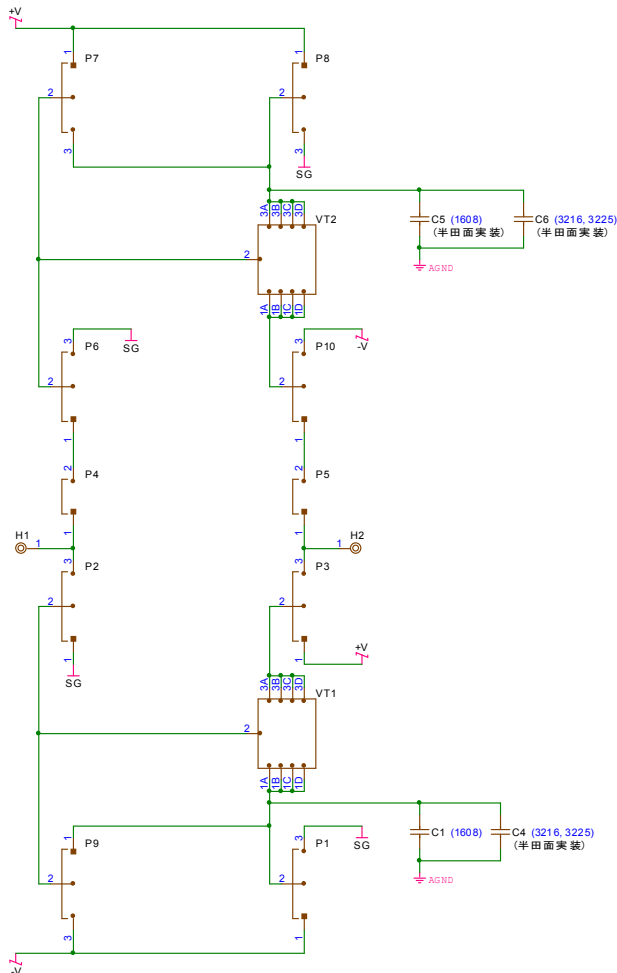
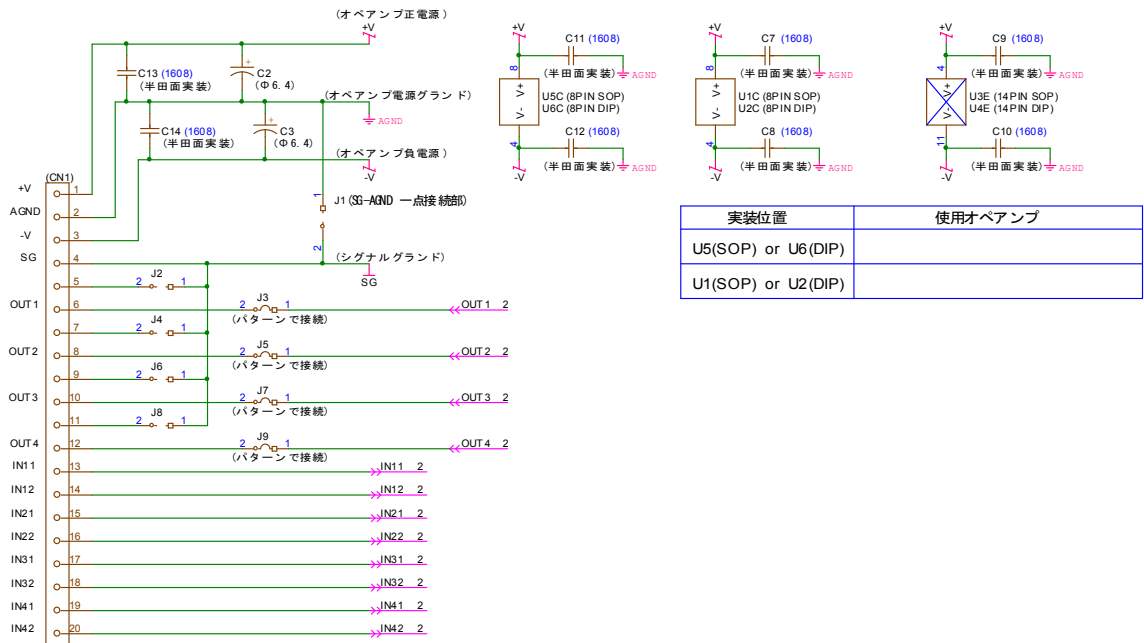
これらを適切に行なえばほとんどの部品はP1～P68の何れかに当て嵌ります。

部品実装方法は必ずしも一通りとは限りません。ジグソーパズル感覚で、如何に追加配線を使用せずに済むかを考えると、楽しみながら作業を進める事ができます。

③部品実装

部品実装設計に従って部品をPX1010に実装し、半田付けをすれば組み立て完了です。

【 8 ピン 2 デュアル オペアンプ 用 部 品 実 装 設 計 テ ン プ レ ー ト 1 / 2 】

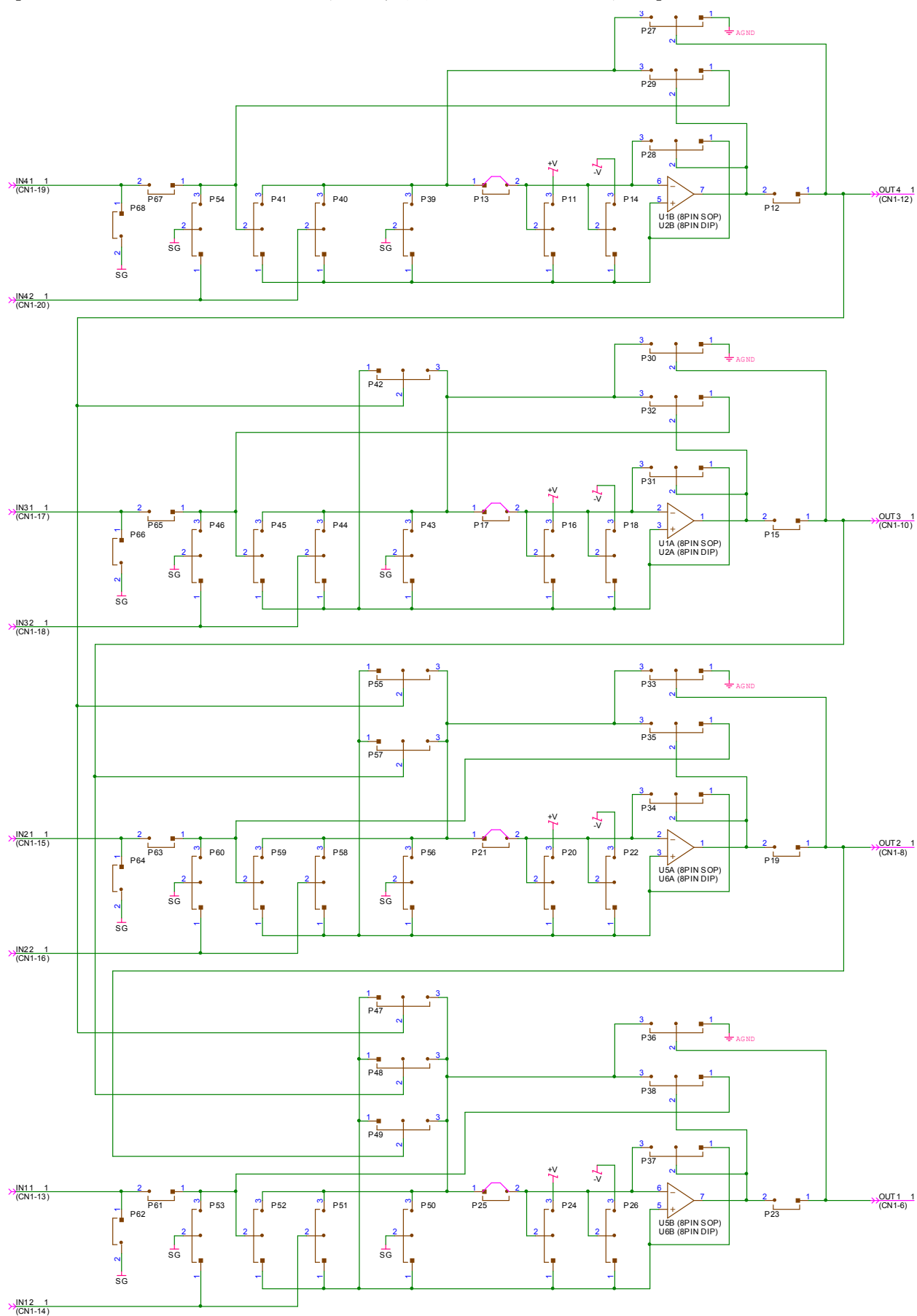


- 備考1
○ は部品実装を示す。
- 備考2
— は追加配線を示す。
- 備考3
3D 3C 3B
1D 2A 3A
1C 1B 1A
VT1, VT2 TOP VIEW
各スルーホール間ピッチは全て2.54mm

- 備考4
Pn 1 2 3
PnA PnB PnC
デバイス番号呼称について
Pn の1-2ピン間に実装したデバイスを PnA
Pn の2-3ピン間に実装したデバイスを PnB
Pn の1-3ピン間に実装したデバイスを PnC(チップ部品不可)
と呼ぶものとする。

PX1010 (ProXi)
8ピン デュアルオペアンプ×2個用
部品実装設計テンプレート

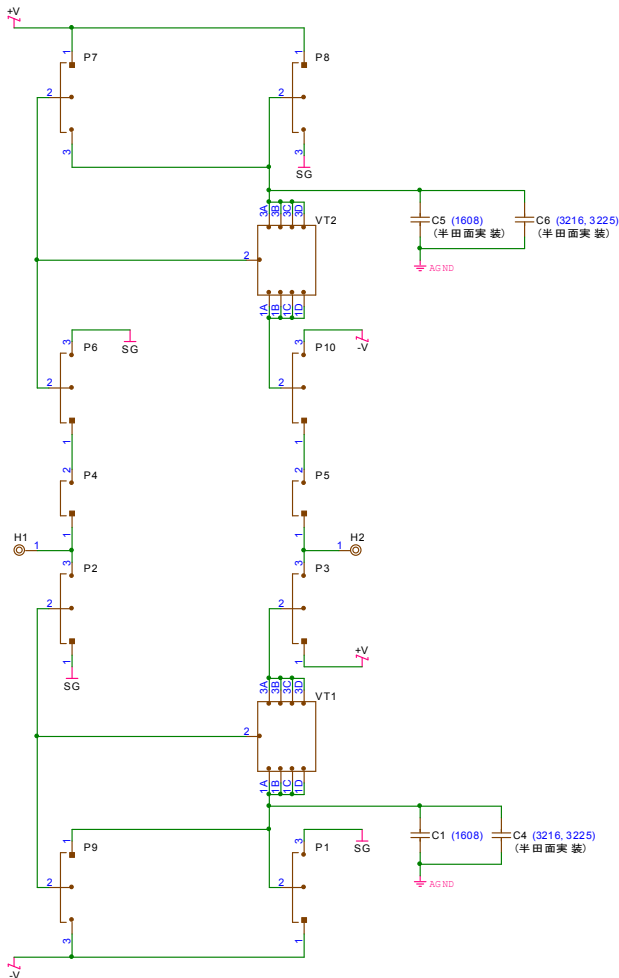
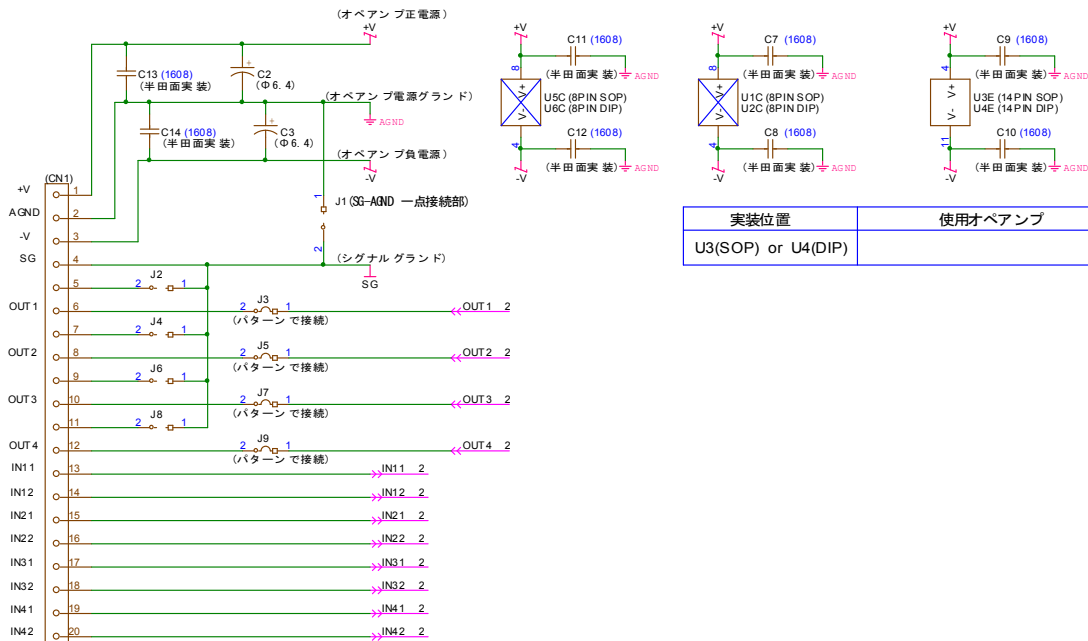
Model Name	
Title	
Document Number	Page 1 / 2



PX1010 (ProXi)
8ピン デュアルオペアンプ×2個用
部品実装設計テンプレート

Model Name	
Title	
Document Number	Page
	2 / 2

【 1 4 ピン 1 クワッドオペアンプ用部品実装設計テンプレート 1 / 2 】



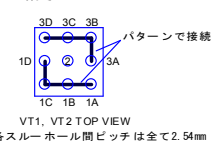
- ### ●備考1

○は部品実装を示す。

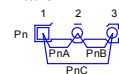
- ### ●備考2

— は追加配線を示す。

- 備考3



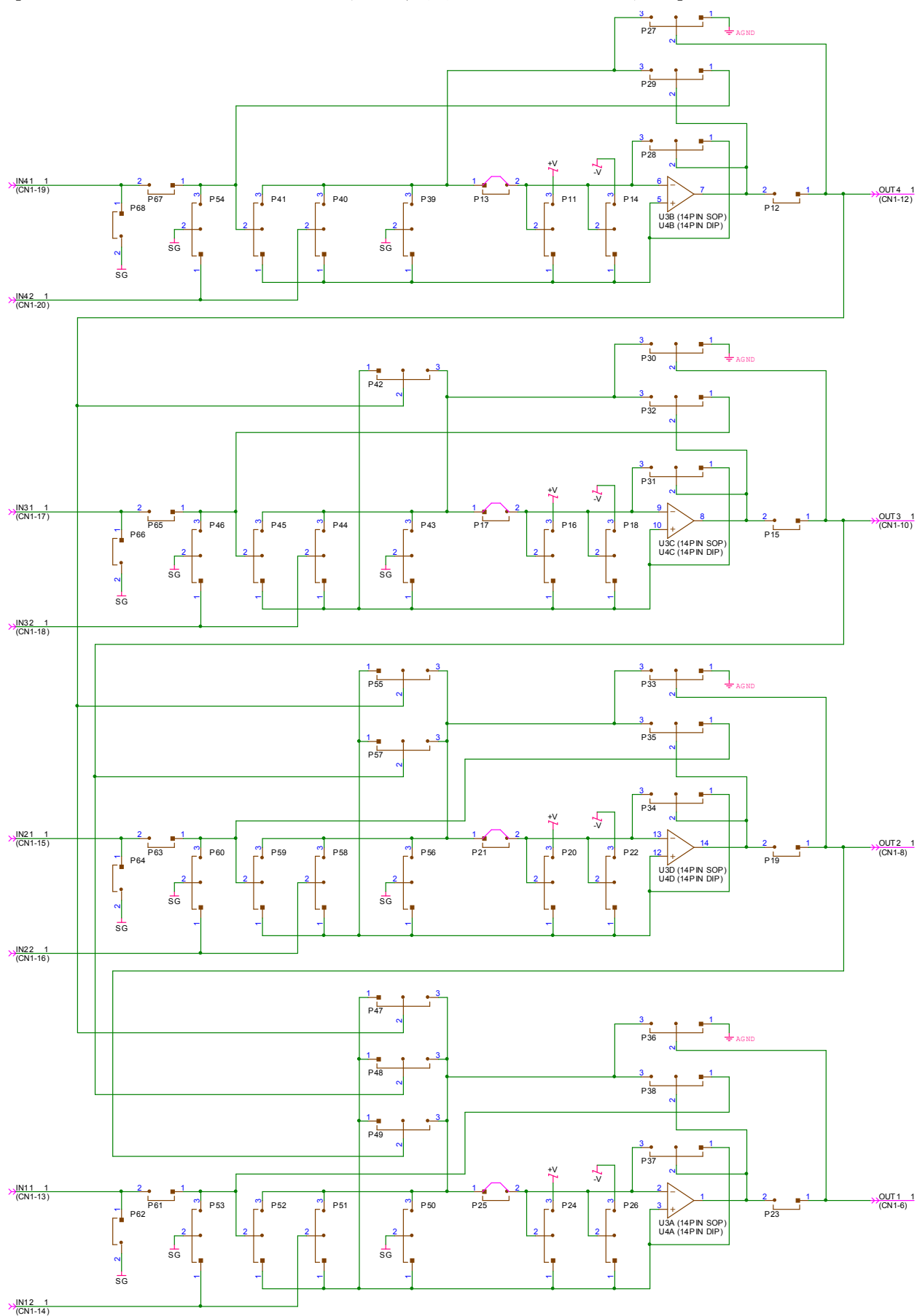
- ### ●備考4



デバイス番号呼称について
 Pn の1-2ピン間に実装したデバイスを PrA
 Pn の2-3ピン間に実装したデバイスを PrB
 Pn の1-3ピン間に実装したデバイスを PrC(チップ部品不可)
 と呼ぶものとする。

PX1010 (ProXi)
14ピン クワッドオペアンプ用
部品実装設計テンプレート

Model Name	
Title	
Document Number	Page 1 / 2



PX1010 (ProXi)		Model Name	
1 4 ピン クワッド オペアンプ 用		Title	
部品実装設計テンプレート		Document Number	Page
			2 / 2

2-3 回路製作の具体例

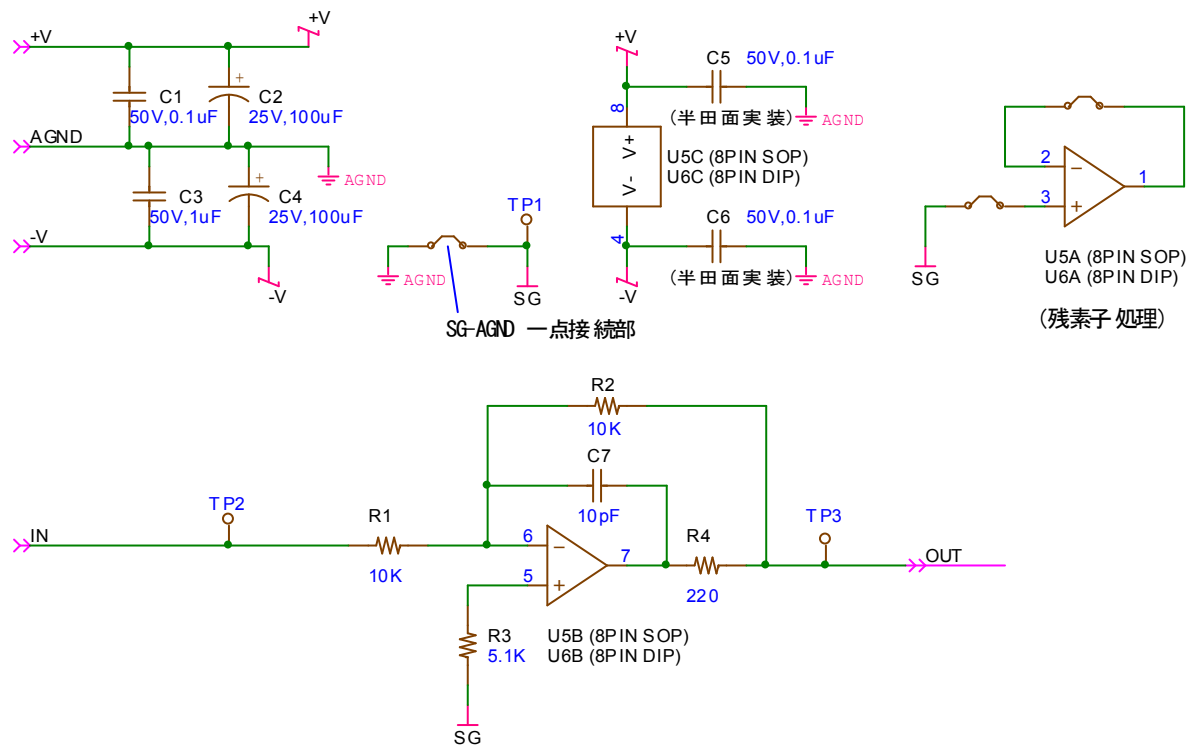
回路製作手順を簡単な具体例で示します。

例として8ピンDIPのデュアルオペアンプによるゲイン-1の反転増幅器を製作するものとします。

(1) 回路設計

目的の回路を設計します。

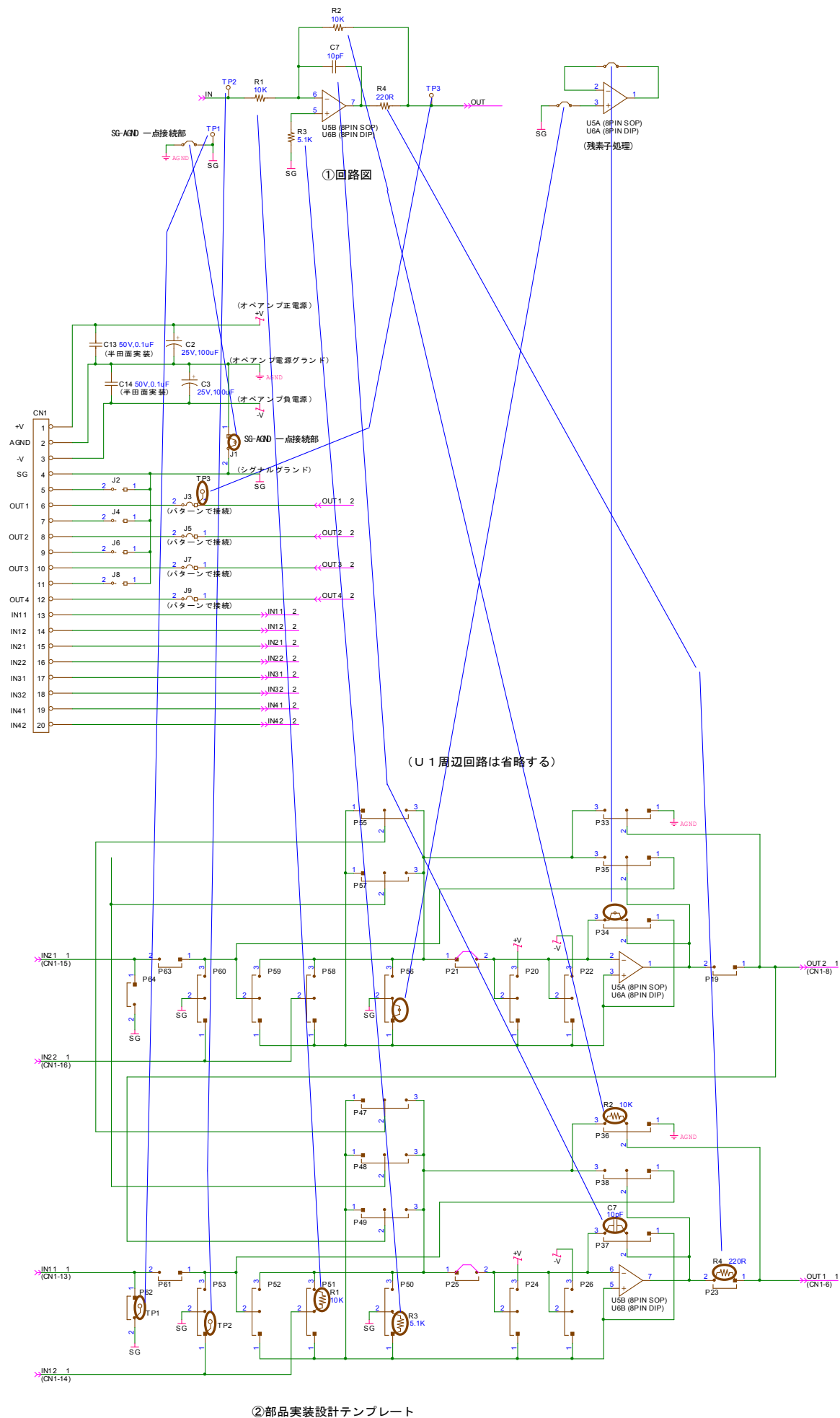
11頁の説明に従い、オペアンプはU6Bを使用し、U6Aには残素子処理を施すものとします。



(2) 部品実装設計

17頁、18頁の8ピン2デュアルオペアンプ用部品実装設計テンプレートに、21頁の様に回路図の各部品を当て嵌めて部品実装設計をします。

(テンプレートによる部品実装設計)



(3) バックアノテート

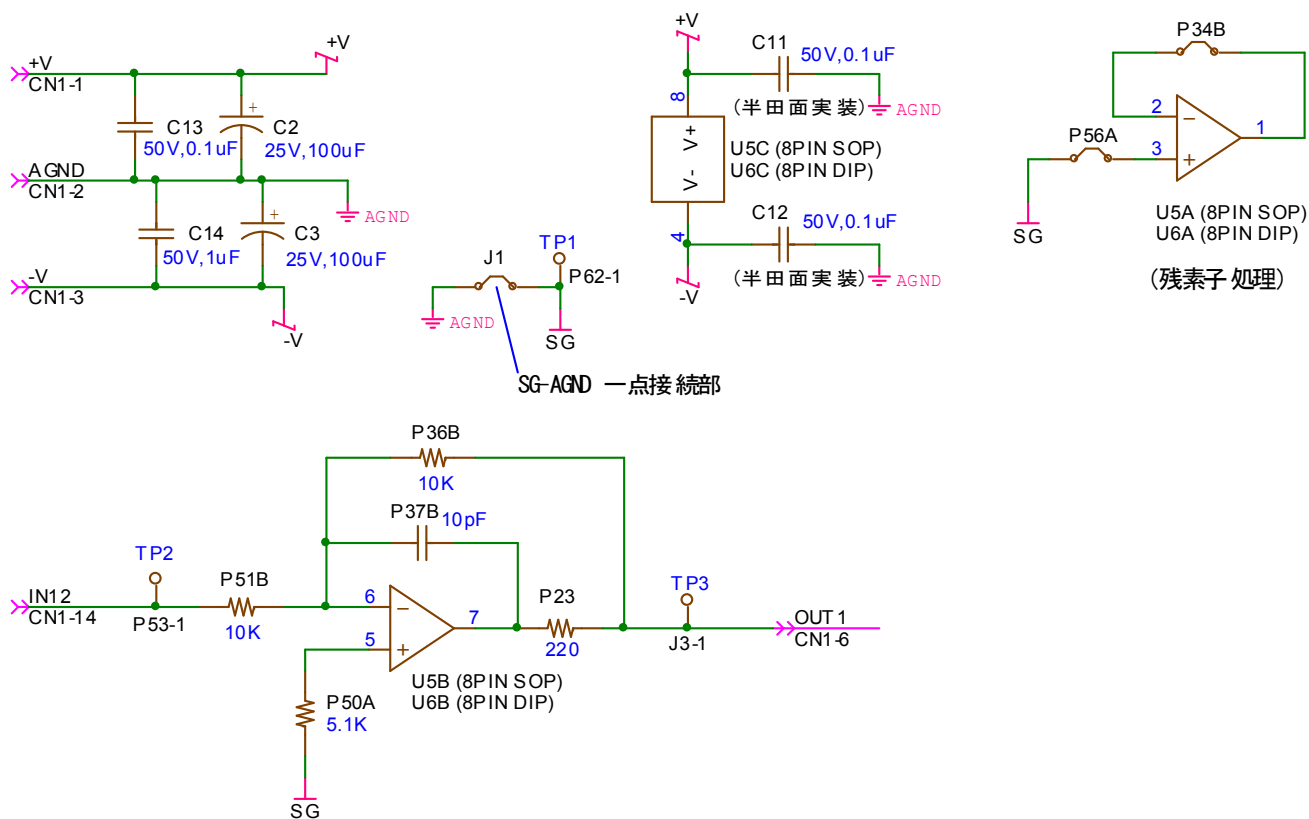
元の回路図のデバイス番号を部品実装決定後のデバイス番号に反映（バックアノテート）します。

なお、3ピン仮想パーツについてその実装位置を示す為に、バックアノテート後のデバイス番号に以下に示すサフィクスを付けます。但し、P X 1 0 1 0 のシルク表示にはサフィクスは記載していません。

PnA : Pn の1-2ピン間に実装したデバイス

PnB : Pn の2-3ピン間に実装したデバイス

PnC : Pn の1-3ピン間に実装したデバイス（1-3ピン間へのチップ部品は実装不可）



③最終回路図（バックアノテート後）

2-4 P X 1 0 1 0 使用例

具体的回路による P X 1 0 1 0 の使用例を <http://www.proxi.co.jp> に掲載していますので参考にしてください。

第3章 その他

3-1 安全上のご注意

医療機器、宇宙、航空、原子力、交通、等々の様に人命、人体の安全、社会の安全、及び人々の財産の安全等に関わり、高い信頼性を必要とする回路には使用しないで下さい。

3-2 責任範囲について

当社は本製品を運用した結果についての責任は負わないものとします。

3-3 製品サポートについて

本製品は将来改良の為に予告無しに変更することがありますのでご了承下さい。

ユーザーマニュアルは常時最新版をホームページからダウンロードできるようにします。

お問い合わせは、メールにてお願い致します。

3-4 訂正履歴

訂番	内 容	年月日
初版	発行 (全24頁)	2010/2/20
Rev. A	一部修正	2012/7/17
Rev. B	FAX抹消	2015/7/24

3-5 お問い合わせ先

ユニバーサルオペアンプ基板

PX1010 ユーザーマニュアル

P r o X i

有限会社 プロエクシィ

〒411-0917 静岡県駿東郡清水町徳倉1323-8

T E L 0 5 5 - 9 3 4 - 1 5 2 7

e-mail:webmaster@proxi.co.jp

http://www.proxi.co.jp/